

First Hit

L9: Entry 13 of 16

File: JPAB

Feb 4, 1987

PUB-NO: JP362026551A  
DOCUMENT-IDENTIFIER: JP 62026551 A  
TITLE: STORAGE KEY CACHE DEVICE

PUBN-DATE: February 4, 1987

## INVENTOR-INFORMATION:

NAME

COUNTRY

KANEKO, AKIRA

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

APPL-NO: JP60165709

APPL-DATE: July 29, 1985

INT-CL (IPC): G06F 12/08; G06F 12/14

## ABSTRACT:

PURPOSE: To improve remarkably the use efficiency of an address converting mechanism by holding information corresponding to an entry in an address converting data buffer in a prescribed entry of a storage key cache.

CONSTITUTION: When a NOT hit state of an address converting data buffer (TLB) is generated, page address information corresponding to a TLB entry to be discharged is set to a real page address register 10 based on which various information is read out of a key cache. Thereafter, in accordance with necessity, a page address of a virtual address which is about to be processed at present, key information and a TLB address are written on the key cache, and the correspondence of the key cache and the TLB address is defined newly. Also, when changing the key information, only the TLB entry having the key information of a page address which becomes an object to be changed is paged.

COPYRIGHT: (C)1987,JPO&amp;Japio

BEST AVAILABLE COPY

(This Page Blank (uspto))

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-26551

⑥ Int.Cl.<sup>4</sup>

G 06 F 12/08  
12/14

識別記号

庁内整理番号

U-8219-5B  
A-7737-5B

⑬ 公開 昭和62年(1987)2月4日

審査請求 未請求 発明の数 1 (全12頁)

⑭ 発明の名称 記憶キーキャッシュ装置

⑮ 特 願 昭60-165709

⑯ 出 願 昭60(1985)7月29日

⑰ 発 明 者 金 子 昭 鎌倉市上町屋325番地 三菱電機株式会社計算機製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 曾我 道照 外4名

明 細 書

1 発明の名称

記憶キーキャッシュ装置

2 特許請求の範囲

記憶キーキャッシュおよびアドレス変換データバッファを含み、夫々の制御回路が対応して付設されている記憶キーキャッシュ装置において、前記記憶キーキャッシュの所定のエントリには前記アドレス変換データバッファにおける諸種のエントリとの対応づけをするための情報が保持されている記憶キーキャッシュ装置。

3 発明の詳細な説明

〔産業上の利用分野〕

この発明は、記憶キーキャッシュ装置に関するものであり、特に、例えば各種データ処理のための中央処理装置における記憶装置の記憶保護違反の有無の如何のチェックが、前記記憶装置の内容を調べることをなしに可能にされて、データ処理が効率的に行なわれるようにされる記憶キーキャッシュ装置に関するものである。

〔従来の技術〕

第3図は、従来の記憶キーキャッシュ装置を示すブロック図である。

先ず、第3図(a)において、(1)はアドレス変換機構のアドレス変換データバッファ(TLB)、(2)はTLB(1)を制御するためのTLB制御回路、(3)はTLB(1)をアクセスするためのTLBアドレス入力セクタ、(4)はTLB(1)の内容更新時にアドレス変換情報をアクセスするためのセグメントテーブルオリジンレジスタ、(5)は中央処理装置(図示されない)における各種の処理にしたがつて要求される記憶装置(7)のアクセスのためのメモリアドレスレジスタ、(6)はメモリアドレスがロジカルアドレスモードにあるものか、またはリアルアドレスモードにあるものかを規定するアドレスモードフラグ、(7)は所定のアドレスモードにおいて記憶装置(7)に送るべきアドレス情報を選択するためのセクタ、(8)は記憶装置(7)に送られるアドレスを保有するリアルアドレスレジスタ、(9)は記憶装置である。(10)はリアルアドレスレジスタ(8)の内容をアド

レスとして記憶装置(9)に対してフェッチリクエストがなされたことにより得られるデータを記憶するリアルページアドレスレジスタ。(11)は記憶装置(9)からフェッチされたキー情報を記憶するキーフェッチレジスタである。

次に、第3図(b)において、(12)は記憶キーキャッシュ(13)のアドレス入力レジスタ、(13)は記憶キーキャッシュ(以降キーキャッシュと呼ぶ)、(14)はキーキャッシュ(13)を制御するためのキーキャッシュ制御回路、(15)は現在のアドレスモードに依存して、実行中の取り扱うべきキーを決定するためのキー決定セレクト、(16)は中央処理装置において現在稼働中のプログラムを実行させていくために必要な情報が格納されているプログラムステイタスワード(PSW)レジスタ、(17)は前記キー決定セレクト(15)およびPSWレジスタ(16)の情報に基づき、記憶保護違反の有無をチェックするためのアクセスプロテクション検出回路、(18)はキーキャッシュ(13)のリアルアドレスタグとキーキャッシュアクセス中のリアルアド

レスにおけるリアルアドレスタグ対応領域の内容との比較回路、(19)はキーキャッシュヒット検出回路である。(20)は、キーデータソースとしてキーキャッシュ(13)からのもの、または、記憶装置(9)からフェッチされたキーフェッチデータのいずれかを選択するためのキーデータソースセレクト、(21)は、キー情報を保持するキーレジスタである。

なお、第3図(a)および第3図(b)の構成諸要素の間は、信号線(1b)~(5b)によつて所要の接続がなされており、全体として、従来の記憶キーキャッシュ装置が構成されている。

次に動作について説明する。

まず、従来のキーキャッシュ(13)における各種のフィールドは下記のように定義されている。

V: このフィールドは、キーキャッシュの内容の有効性の如何を指示するものであつて、"1"が立っているときは有効であることを示し、"0"であるときは無効であることを示している。

RT: このフィールドは、リアルアドレスであるページアドレスの一部であつて、キーキャッシュアドレスのための領域以外の領域であり、リアルアドレスタグと呼ばれる(第4図参照)。

KY: このフィールドは、キー(KBY)情報を示すものである。

(11)中央処理装置のアドレスモードがリアルアドレスモードであるときに記憶保護チェックのために使用される場合。

これは、リアルアドレスモードのときに、記憶保護チェックを記憶装置(9)まで調べに行くことなく、キーキャッシュ(13)内のキー情報(KY)を利用し、中央処理装置内で所定のチェックをすることであつて、記憶保護違反のあることが判明した場合には、記憶装置(9)へのリクエストを禁止することにより、無駄なリクエストの発生を防止したり、記憶保護違反を早期に発見することにより、処理の効率化をはかることである。このときの動作は次のようになされる。リアルアドレスモード

における所定の命令処理にしたがつて、リアルアドレスがメモリアドレスレジスタ(5)にセットされる。メモリアドレスレジスタ(5)のページインデックスは、キーキャッシュ(13)のアドレス領域に相当するMA(PI)と、リアルアドレスタグRTに相当するMA(RT)とに分けられており、その中のMA(PI)はキーキャッシュ(13)のアドレスとしてキーキャッシュアドレス入力レジスタ(12)にセットされる。そして、このアドレスに対応するV, RT, およびKYフィールドの内容がキーキャッシュ(13)から読み出される。

これからの説明では、キーキャッシュの各フィールドの内容を読み出して使用する場合、それらをKC(RT), KC(V), KC(KY)のように表現することとする。例えば、KC(RT)は、キーキャッシュのRTフィールドの内容であるものとされる。読み出されたこれらのフィールドの内容について、KC(V)=1, KC(RT)=MA(RT)なる条件が比較回路(18)およびキーキャッシュヒット検出回路(19)により検出され、キーキャッシュ制御回路(14)に

送られる。このような条件が成立する場合は、キーキャッシュヒットとして定義される。このような条件にしたがつて、キーキャッシュがヒットであるかノットヒットであるかが検出され、ヒットであるときには、KC(KY)は、キーキャッシュ制御回路(14)の作用により、キーデータソースセクタ(20)を通じてキーレジスタ(21)にセットされる。ここで、キーレジスタ(21)の内容は、アドレスモードフラグ(4)によつてリアルモードに選択されたキー決定セクタ(15)を通じてアクセスプロテクション検出回路(17)へ送られ、プログラムステイタスワード(16)との間で、記憶保護違反の有無の如何がチェックされる。一方、キーキャッシュがノットヒットである場合には、KC(KY)は無効であり、メモリアドレスレジスタ(5)の内容は、セクタ(7)を通じてリアルアドレスレジスタ(8)に送られて、記憶装置(9)に対するキーフェッチリクエストが出される。そして、記憶装置(9)から得られたキー情報はキーフェッチレジスタ(11)にセットされる。その後、キーキャッシュのノット

ルドが、キーキャッシュ制御回路(14)の作用により、キーキャッシュアドレス入力レジスタ(12)にセットされる。このアドレスにしたがつてキーキャッシュ(13)がアクセスされ、V, RT, KYの各フィールドの内容が読み出される。

ここで、キーキャッシュがヒットであるか否かのチェックが比較回路(18)およびキーキャッシュヒット検出回路(19)により実行され、その結果がキーキャッシュ制御回路(14)へ送られる。そして、キーキャッシュのヒットが検出されたときには、KC(KY)は有効であり、以後の命令の処理に使用される。

一方、ノットヒットが検出されたときには、KC(KY)は無効であり、メモリアドレスレジスタ(5)の内容はセクタ(7)を通じてリアルアドレスレジスタ(8)にセットされる。

これに続けて、記憶装置(9)に対するキーフェッチリクエストが行なわれ、対象とするキー情報が得られて、キーフェッチレジスタ(11)にセットされる。そして、このキーフェッチレジスタ(11)

ヒットが検出されたことから、キーキャッシュ制御回路(14)は、キーレジスタ(21)前後のキーデータソースセクタ(20)がキーフェッチレジスタ(11)の内容を選択するように制御し、かくして、キーフェッチレジスタ(11)の内容がキーレジスタ(21)へセットされ、これがキー決定セクタ(15)を通じてアクセスプロテクション検出回路(17)に送られて、所要の記憶保護違反に関するチェックが行なわれる。

(1.2)ISK(Insert Storage Key)命令に代表されるように、キー情報をデータとして、またリードオンリモードとして命令に使用される場合。

これは、キー情報を記憶装置(9)まで取りに行くことなく、キーキャッシュ(13)から取り出すことにより、命令処理の高速化をはかつたものである。このときの動作は次のようになされる。所定の命令処理により、フェッチすべきキー情報に対応するリアルアドレスがメモリアドレスレジスタ(5)にセットされる。

メモリアドレスレジスタ(5)のMA(PI)フィー

の内容が所定の命令の処理のために使用される。なお、キーキャッシュに対する書き込み処理はSSK(Set Storage Key)命令に代表されるようなキーのセット命令により起動され、記憶装置のキーメモリ領域への書き込みと同期して、対応したエントリにおけるV, RT, およびKY フィールドに所要の情報が書き込まれる。

#### 〔発明が解決しようとする問題点〕

従来の記憶キーキャッシュ装置は以上のように構成されており、記憶キーキャッシュは中央処理装置内の記憶装置に保有されている記憶キーの中の所定のもののコピーを保持しているだけで、アドレス変換のためのアドレス変換データバッファ内のエントリの内容との間に相互的な関係がなく、このために、前記記憶キーの変更処理が生じたときには、前記記憶キーキャッシュの対応エントリの内容は変更されるけれども、前記アドレス変換データバッファについては対応エントリを確定することができないことから、その全てのエントリの内容をページせねばならず、前記アドレス変換デー

タバッファの使用効率が著しく低下し、ひいては中央処理装置全体の処理性能が低下してしまうという問題点があつた。

この発明は上記された問題点を解決するためになされたもので、記憶キーキャッシュのエントリとアドレス変換データバッファのエントリとの間に相互的な関係をもたせ、キー情報の変更処理が生じたときに、前記アドレス変換データバッファ内の変更を要するエントリの内容のみをバージし、その他のものは有効なものとして残すことのできる、いわゆるバシヤルバージが可能にされた記憶キーキャッシュ装置を得ることを目的とする。

#### 【問題点を解決するための手段】

この発明に係る記憶キーキャッシュ装置は、記憶キーキャッシュおよびアドレス変換データバッファを含み、夫々の制御回路が対応して付設されている記憶キーキャッシュ装置において、前記記憶キーキャッシュの所定のエントリには前記アドレス変換データバッファにおける諸種のエントリとの対応づけをするための情報が保持されているものであ

にしたがつて要求される記憶装置(9)のアクセスのためのメモリアドレスレジスタ、(6)はメモリアドレスがロジカルアドレスモードにあるものか、またはリアルアドレスモードにあるものかを規定するアドレスモードフラグ、(34)はアドレスモードその他の条件により、記憶装置(9)に送るべきアドレス情報を選択するためのセレクトラ、(5)は記憶装置(9)に送られるアドレスを保有するリアルメモリアドレスレジスタ、(9)は記憶装置である、(10)はリアルメモリアドレスレジスタ(5)の内容をアドレスとして記憶装置(9)に対してフエツチクエス<sup>読</sup>トをしてから得られるデータを記憶し、また、TLBのノットヒット処理で追い出されるTLBエントリのリアルアドレスを記憶しておくリアルページアドレスレジスタ、(11)はキーフエツチレジスタ、(35)はリアルページアドレスレジスタ(10)の入力セレクトラ、(36)はTLB(31)のリアルアドレスデータとメモリアドレスレジスタ(5)のページアドレスとの比較回路であつて、ページアドレスの上位部が比較される、(37)は、上記と同様な、

る。

#### 【作用】

この発明によれば、記憶キーキャッシュのある所定のエントリとアドレス変換データバッファのエントリとの間の対応関係が識別できるようにされているため、前記記憶キーキャッシュにおいて変更を要するものとされたエントリに対応する前記アドレス変換データバッファ側のエントリの内容だけがバージされる。

#### 【実施例】

以下、この発明の一実施例を第1図について説明する。

先ず、第1図(a)において、(31)はアドレス変換機構のアドレス変換データバッファ(TLB)、(32)はTLB(31)を制御するためのTLB制御回路、(33)はTLB(31)をアクセスするためのTLBアドレススカセクタ、(4)はTLB(31)の内容更新時にアドレス変換情報をアクセスするためのセグメントテーブルオリジンレジスタ、(5)は中央処理装置(図示されない)における各種の処理

TLB(31)のリアルアドレスデータと、メモリアドレスレジスタ(5)のページアドレスの内容との比較回路で、ページアドレスの下位部が比較される、(38)は比較回路(36)、(37)において、ページアドレスの全てが一致したことを検知する一致検出回路である。

次に、第1図(b)において、(39)は記憶キーキャッシュ(以降キーキャッシュと呼ぶ)、(40)はキーキャッシュ(39)を制御するためのキーキャッシュ制御回路、(12)はキーキャッシュ(39)をアクセスするためのキーキャッシュアドレスレジスタ、(41)はキーキャッシュアドレスレジスタ(12)に対する入力ソースを選択するための入力ソースセレクトラ、(42)はリアルページアドレスの中でキーキャッシュのアドレスとして使用される領域を除いた残りの領域(リアルアドレスタグ)のソースを選択するためのセレクトラ、(43)はキーデータソースをキーキャッシュ(39)から取り出すか、あるいは、記憶装置(9)からフエツチしたものにするかを選択するためのセレクトラであり、キーレジスタ(21)

に対する入力セクタとして使用される。(21)はキー情報を保持するキーレジスタ、(15)は現在のアドレスモードに依存して、その実行中に取り扱うべきキーを決定するためのキー決定セクタ、(16)は中央処理装置において現在稼働中のプログラムを実行させていくために必要な情報が格納されているプログラムステータスワード(PBW)レジスタ、(17)は前記キー決定セクタ(15)およびPBWレジスタ(16)の情報に基づき、記憶保護を監視するための、アクセスプロテクション検出回路である。(44)はキーキャッシュ(39)のリアルアドレスタグとキーキャッシュアクセス中のリアルアドレスのリアルアドレスタグ対応領域の内容との比較回路、(45)はキーキャッシュヒット検出回路であり、これらによつて、キーキャッシュのヒット/ノットヒット検出回路が構成される。

なお、第1図(a)および第1図(b)の構成諸要素の間は、信号線(1a)~(13a)によつて所要の接続がなされており、全体として、この発明の実施例による記憶キーキャッシュ装置が構成されている。

には決定されない。したがつて、このページアドレスに対応したキー情報を保有しているTLBアドレスを知るためには、TLB(31)の全エントリを調べなければならぬ。

C: このフィールドはコモンビットを表わすものであり、"/"が立っているときには有効であり、"0"であるときには無効にされる。このフィールドに"/"が立っているときには、キーキャッシュ(39)のこのエントリに示されているページアドレスのキー情報を保有しているTLBアドレスが2個所以上存在することを示す。したがつて、このキー情報を保有しているTLBアドレスは一意的には決定されず、対応のTLBアドレスを知るためには、TLB(31)の全エントリを調べなければならぬ。

このようなことは、複数個の仮想アドレスが1個のリアルアドレスであるページ

次に、動作について説明する。

先ず、この発明の実施例によるキーキャッシュ(39)の各種のフィールドは下記のように定義される。

RTxc: このフィールドは、リアルアドレスであるページアドレスの一部であつて、キーキャッシュアドレスのための領域以外の領域であり、リアルアドレスタグと呼ばれる。(第2図参照)。

B: このフィールドはサーチビットを表わすものであり、"/"が立っているときには有効であり、"0"であるときには無効にされる。このフィールドは、キーキャッシュ(39)において、このエントリが、TLB更新のとき、またはキー情報更新のときに、オーバーライトされたことを示す。そして、このフィールドに"/"が立っているときには、このキーキャッシュで示されたページアドレスに対応したキー情報を保有しているTLBアドレスは、一意的

ページアドレスを使用する場合に生じるものである。

TV: このフィールドはTLBアドレス情報(TLBAD)の有効・無効の如何を示すものである。そして、このエントリにおいて示されるページアドレスのキー情報が、TLBADフィールドで示されるTLBアドレスに保有されていることを示す。

TLBAD: このフィールドは、キーキャッシュのこのエントリで示されるページアドレスに対応したTLBアドレスを示す。

KV: このフィールドは、キー情報の有効・無効の如何を示す。

KY: このフィールドは、キー(KEY)情報を示すものである。

次いで、TLB(31)の各フィールドは下記のように定義される。

V: このフィールドは、TLBエントリにおけるアドレス変換情報、キー情報の有効・無効の如何を示すものである。

STO: このフィールドは、TLBエントリに対応するセグメントテーブルオリジンアドレスを示す。

RT<sub>TLB</sub>: このフィールドは、TLBエントリの仮想アドレスに対応するリアルアドレスであるページアドレスの中で、キーキャッシュ(39)のリアルアドレスタグに対応する領域を示す。

PI-KCA: このフィールドは、TLBエントリの仮想アドレスに対応するページアドレスの中で、キーキャッシュ(39)のアドレスに対応する領域であり、ページインデクスと呼ばれる。

KY<sub>TLB</sub>: このフィールドは、TLBエントリに対応するキー情報を示す。

次いで、この発明による実施例装置の動作を概略的に説明する。なお、以下の説明においては、TLB( )はTLB(31)から読み出されたフィールドの内容を示しており、KC( )はキーキャッシュ(39)から読み出されたフィールドの内容を示

制して、これをキーキャッシュアドレスレジスタ(12)にセットする。このようにしてセットされたアドレスに基づいてキーキャッシュ(39)がアクセスされ、各種の情報が前記キーキャッシュ(39)から読み出される。

そして、キーキャッシュ(39)から読み出されたリアルアドレスタグRT<sub>xc</sub>とセクタ(42)を通じて取り出されたリアルページアドレスレジスタ(10)のリアルアドレスタグ対応フィールドMM(RT)の内容とが一致しているか否かが、比較回路(44)によりチェックされる。いま、この両者が一致しており、また、RVフィールドならびにTVフィールドがともに有効であることを示しているときには、これはキーキャッシュヒットと定義される。そして、これはキーキャッシュヒット検出回路(45)により検出され、キーキャッシュ制御回路(40)に送られる。ここで、SフィールドおよびCフィールドのビットが共に"0"であるとき、すなわち、現在アクセスされているキーキャッシュエントリで示されるページアドレスに対応するキ

しているものとする。例えば、TLB(M)は、TLB(31)のVフィールドの内容を示すものとされる。

キーキャッシュ(39)にTLBアドレスが加えられるのは、TLBノットヒットオペレーションが行なわれているときであり、なんらかの条件により、TLBノットヒット状態が生じると、先ず、TLB制御回路(32)により、はき出されるべきTLBエントリに対応するページアドレス情報が入力セクタ(35)を通じてリアル<sup>ル</sup>ページアドレスレジスタ(10)にセットされる。

ここで、リアルページアドレスレジスタ(10)の内容に基づき、キーキャッシュ(39)に対するアクセスが以下のように実行される。

リアルページアドレスレジスタ(10)の内容の中で、キーキャッシュ(39)の所定のアドレスに対応するフィールドMM(PI)の内容が入力ソースセクタ(41)に送られ、このとき、キーキャッシュ制御回路(40)は、前記入力ソースセクタ(41)がリアルページアドレスレジスタ(10)から信号線(5a)を介して送られる出力を選択するように

一情報が、現在排除されようとしているTLBエントリ以外の別異のTLBエントリでは使用されていないときには、キーキャッシュ(39)のTVフィールドは、キーキャッシュ制御回路(40)によつて"0"(無効)にされる。

また、はき出そうとしているTLBエントリに対応したページアドレスに対して、キーキャッシュがヒットしなかつたとき、または、ヒットしたとしても、SフィールドまたはCフィールドのビットのいずれかが"/"(有効)にセットされているときには、当該キー情報が別異のTLBエントリで使用されていることを示し、キーキャッシュ(39)の情報はそのまま保持される。次に、新しくエントリすべきアドレス変換情報を記憶装置(9)よりフェッチするため、フェッチアドレス情報が、メモリアドレスレジスタ(5)にセットされ、アドレスモードフラグ(6)の制御によりセクタ(34)を通じてリアルメモリアドレスレジスタ(8)にセットされる。このアドレスに関して記憶装置(9)に対するフェッチリクエストが発せられ、前記記憶装置(9)より仮

想アドレスに対するアドレス変換情報がえられて、リアルページアドレスレジスタ(10)にセットされる。

この後で、メモリアドレスレジスタ(3)には、TLB制御回路(32)の作用により、現在TLBノットヒットとして処理中の仮想アドレスがセットされる。そして、前述された手順と同様に、リアルページアドレスレジスタ(10)におけるMM(PI)フィールドの内容が、入力ソースセクタ(41)を介してキーキャッシュアドレスレジスタ(12)にセットされ、これによりキーキャッシュ(39)がアクセスされて、TLB(31)に関する所要の情報処理が行なわれる。この情報処理は、現在キーキャッシュ(39)に保持されている情報の如何に依存して、下記の3個の場合に分けられる。

(2.1) キーキャッシュがヒットしており、 $MM(RT) = RT_{KC} \cdot TV = 1 \cdot KV = 1$  の条件が成立した場合。

この場合は、新たにTLB(31)に挿入しようとしている仮想アドレスに対応しているページアドレスはキーキャッシュ(39)内に存在し、かつ、キ

(2.2) キーキャッシュがノットヒットであり、かつ $KC(KV) = 0$ である場合。

この場合は、キーキャッシュ(39)が無効であることを示し、TLB(31)に対して新たに挿入しようとしている仮想アドレスに対応しているリアルアドレスであるページアドレスが、TLB制御回路(32)により、リアルページアドレスレジスタ(10)から入力セクタ(34)を通じてリアルメモリアドレスレジスタ(8)にセットされる。このアドレスに対する記憶装置(7)へのキー情報のフェッチリクエストが寄せられ、これによつて得られたキー情報は、キーフェッチレジスタ(11)にセットされ、次いで、キーキャッシュ制御回路(40)の作用にしたがい、キーデータソースセクタ(43)を通じてキーレジスタ(21)にセットされる。

ここで、キーキャッシュ(39)に対しては、キーキャッシュ制御回路(40)により次のような書き込みがなされる。リアルページアドレスレジスタ(10)におけるMM(RT)の内容が $RT_{TC}$ フィールドに；TLB(31)に対する入力アドレスが信号線

ーキャッシュ(39)のTLBADフィールドで示されるTLBアドレスに既に存在しており、キー情報も有効であることを示す。

したがって、このページアドレスに対応しているキー情報が、今回のTLBノットヒット処理で、新たなTLBエントリでも使用されることとなるため、キーキャッシュ制御回路(40)により、Cフィールドのビットも"1" (有効)にされる。

一方、キーキャッシュ(39)のキー情報KYが、キーキャッシュ制御回路(40)により、キーデータソースセクタ(43)を通じてキーレジスタ(21)にセットされる。また、TLB(31)については、次のような書き込みがなされる。すなわち、セグメントテーブルオリジンレジスタ(4)の内容がSTOフィールドに；リアルページアドレスレジスタ(10)におけるMM(RT)の内容が $RT_{TLB}$ フィールドに；そのMM(PI)の内容がPI-KCAフィールドに。また、キーキャッシュ(39)については、キーレジスタ(21)の内容がKYフィールドに；"1"がTVフィールドに。

(2a)を通じてTLBADフィールドに；キーレジスタ(21)の内容がKYフィールドに；その他の各フィールドについては、 $S = 0$  (無効)に； $C = 0$  (無効)に； $TV = 1$  (有効)に； $KV = 1$  (有効)に。この処理によりキーキャッシュ(39)は有効化され、かつTLBアドレスとの対応関係が定義される。なお、TLB(31)に対する書き込みは(2.1)の場合と同様に処理される。

(2.3) キーキャッシュがノットヒットであり、かつ $KC(TV) = 0 \cdot KC(KV) = 1 \cdot MM(RT) = KC(RT)$ である場合。

この場合は、仮想アドレスに対応するページアドレスのキー情報がキーキャッシュ(39)内に存在しており、かつこのページアドレスに対応するTLBアドレスは定義されていないことを示す。キー情報については、キーキャッシュ(39)から読み出された $KC(KY)$ がキーデータソースセクタ(43)を通じてキーレジスタ(21)にセットされる。このときの仮想アドレスに対応するTLBアドレスは、キーキャッシュ制御回路(40)の作用によ



り、信号線(1a)を通じてキーキャッシュ(39)のTLBADフィールドに書き込まれ、またTV="/"にされる。なお、TLB(31)に対するアドレス変換情報等の書き込みは(2.1)の場合と同様に処理される。

(2.4) キーキャッシュがノットヒットであり、かつ  $KC(TV) = 1 \cdot KC(KV) = 1 \cdot MM(RT) \neq KC(RT_{KC})$  である場合。

この場合は、リアルアドレスであるページアドレスに対応するキーキャッシュ(39)のエントリが多重に指定されたこと、および、キーキャッシュ(39)のエントリとTLBアドレスとが一意的には対応されないことを示す。

まず、現在TLB(31)に挿入しようとしている仮想アドレスに対応するページアドレスにしたがつて、記憶装置(9)に対するキーフェッチリクエストが発せられ、これによつて得られたキー情報はキーフェッチレジスタ(11)にセットされ、さらに、キーキャッシュ制御回路(40)の作用により、キーデータソースセクタ(43)を通じてキーレ

ジスタ(21)にセットされる。

ここで、キーキャッシュ(39)に対しては、キーキャッシュ制御回路(40)により次のような書き込みがなされる。MM(RT)の内容がRT<sub>KC</sub>フィールドに；仮想アドレスに対応するTLBアドレスが信号線(1a)を通じてTLBADフィールドに；キーレジスタ(21)の内容がKYフィールドに；S="/"に；TV="/"に；KV="/"に。なお、TLB(31)に対する書き込みは(2.1)の場合と同様に処理される。

(2.5) キーキャッシュがノットヒットであり、かつ  $KC(TV) = 0 \cdot KC(KV) = 1 \cdot MM(RT) \neq KC(RT)$  である場合。

この場合は、現在TLBノットヒットで処理されるべき、仮想アドレスの対応ページアドレスに対応したキー情報は、キーキャッシュ(39)になく、かつ、このページアドレスに対応するキーキャッシュ(39)のエントリには、リアルアドレスタグの異なる、別のページアドレスのキー情報が挿入されていること、および、そのページアドレスに対

応するTLBアドレスは定義されていないことを示す。したがつて、上記された場合には、キーキャッシュ(39)およびTLB(31)については、前述の(2.2)で示されたKV="0"(無効)の場合と同様の処理が行なわれる。すなわち、現在処理しようとしている仮想アドレスのページアドレス、キー情報およびTLBアドレスをキーキャッシュ(39)に書き込み、キーキャッシュとTLBアドレスとの対応を新たに定義する。

以上のごとく、キーキャッシュとTLBアドレスとの対応は、TLBノットヒット処理の実行時に定義されるものである。

次に、キー情報変更命令に対するTLBのページのやり方について説明する。

キー情報を変更する命令が発生した場合、変更されるべきキー情報を保有しているリアルアドレスがメモリアドレスレジスタ(5)にセットされる。また、ページアドレスに対応した新しいキー情報がキーレジスタ(31)にセットされる。キーキャッシュ制御回路(40)の作用により、キーキャッシュ

アドレスレジスタ(12)の入力ソースセクタ(41)が信号線(10a)の側を、またセクタ(42)が信号線(9a)の側を選択するようにされ、キーキャッシュアドレスレジスタ(12)に所定の値がセットされる。キーキャッシュアドレスレジスタ(12)内のアドレスによりキーキャッシュ(39)がアクセスされ、TLB(31)に関連する情報の処理が行なわれる。この処理としては、読み出されたキーキャッシュ情報の如何により、次の5通りのやり方がある。

(3.1) キーキャッシュヒットが検出され、かつS="/"である場合。

この場合は、これから変更しようとするキー情報を有するTLBアドレスが、現在キーキャッシュ(39)に示されているTLBAD以外にも存在する可能性があることを表わしており、キーキャッシュ制御回路(40)は信号線(10a)を通じて、TLBフルサーチをTLB制御回路(32)に指示する。TLB制御回路(32)はインクリメンタ(図示されない)を保有しており、これからの出力は信号線

(14a)に出される。そして、TLBアドレス入力セレクト(33)は、TLB制御回路(32)の作用により、前記信号線(14a)からの出力を選択するようにされて、先頭アドレス(例えば0番地)から順次にインクリメントさせていく。このとき、各TLBアドレスに対応して読み出されたTLB(RT<sub>TLB</sub>)、TLB(PI-KCA)が、これからキー情報を変更しようとするリアルアドレスのセットされたメモリアドレスレジスタ(3)の内容と比較回路(36)、(37)によつて比較され、一致検出回路(38)によつて両者の一致が検出される。そして、この一致検出の結果はキーキャッシュ制御回路(40)に報告され、さらにTLB制御回路(32)にも報告され、このTLB制御回路(32)は、該当TLBエントリのVビットを"0"(無効)にする。またTLBフルサーチは、ページアドレスの中のキーキャッシュアドレスに該当する領域がMA(PI)とTLB(PI)との間で比較回路(37)により同時に比較され、その一致が検出されると、このことがキーキャッシュ制御回路(40)に記憶される。た

記憶装置(9)のキーメモリ変更が実施される。

(3.2) キーキャッシュヒットが検出され、かつC="1"である場合。

この場合は、これから変更しようとするキー情報を有するTLBアドレスが、このキーキャッシュのエントリに示されているTLBアドレス以外にも存在することを示し、キーキャッシュ制御回路(40)は、信号線(13a)を通じて、TLB制御回路(32)にTLB(31)フルサーチを指示する。

以下、前述された(3.1)の場合と同様な手順にしたがつて、TLB(31)のフルサーチと、ページアドレスが一致したときのTLB(31)におけるVフィールド内のビットの無効化処理が行なわれる。ただし、ここで、説明された手順による処理は、前記された(3.1)の場合とは異なり、MA(PI)とTLB(PI-KCA)の一致検出処理は必要としない。その後、記憶装置(9)のキーメモリ変更が実施される。

(3.3) キーキャッシュヒットが検出され、かつC="0"、S="0"である場合。

とし、この場合に、MA(RT)とTLB(RT<sub>TLB</sub>)、MA(PI)とTLB(PI-KCA)の全てが一致した場合は除かれる。

以上の手順はTLB(31)の全てのエントリに対して実行されるものであり、そのフルサーチが完了して、MA(PI)とTLB(PI)との一致が1度も検出されなかつたとき、すなわち、変更しようとしているキーキャッシュ(39)のエントリがTLB(31)のいずれのアドレスにおいても使用されていないことがキーキャッシュ制御回路(40)によつて認められたときには、前記キーキャッシュ制御回路(40)の作用により、キーキャッシュ(39)のKVフィールドには新しいキー情報がセットされ、KV="1"、TV="0"、S="0"にされるが、その他のフィールドの内容は変化しない。

また、MA(PI)とTLB(PI)との一致検出が1度でもなされたことがキーキャッシュ制御回路(40)によつて認識されると、Sフィールドのビットだけ"1"(有効)のままとし、その他のフィールドについては上記と同じ手順にしたがつる。その後、

この場合は、変更しようとしているキー情報をもつたTLBアドレスは1個だけであることを示す。

したがつて、キーキャッシュ制御回路(40)は、TLB制御回路(32)に対して、TLBアドレスとしてキーキャッシュ(39)からのKC(TLBAD)を送信するように通知し、これにしたがつて、該当するTLBエントリが信号線(1a)を通じて選択される。

次いで、TLB制御回路(32)は、TLBエントリのVフィールドにおけるビットが"0"になるように無効化処理をする。一方、キーキャッシュ(39)に対しては、キーキャッシュ制御回路(40)の作用により以下の書き込みがなされる。KVフィールドには"1"；TVフィールドには"0"；KYフィールドにはキーレジスタ(21)の内容。その他のフィールドについては保留される。

(3.4) キーキャッシュがノットヒットであり、かつKC(S) = 1・KC(TV) = 1・KC(KV) = 1・MM(RT) = KC(RT<sub>KC</sub>)である場合。

この場合は、キーキャッシュ(39)の現在アクセ

ス中のエントリが2個以上のページアドレスで指定され、ページアドレス情報 $KC(RT_{xc})$ がオーバライトされていること、および、これから変更されるべきキー情報をもつたTLBエントリが存在する可能性があることを示す。このときには、前記された(3ノ)の場合と同様の手順がとられ、TLB(3ノ)のフルサーチが実行される。

ただし、キーキャッシュ(39)の内容の変更については、Sフィールドだけが管理される。すなわち、TLB(3ノ)のフルサーチ中に、 $MA(PI)$ とTLB(PI-KCA)との一致が1度も検出されなかつた場合は、 $S=0$ にされ、また、 $MA(PI)$ とTLB(PI-KCA)との一致が1度でも検出された場合は、 $S=1$ のまま保留される。またキー情報その他の情報は保留される。その後記憶装置のキーメモリが変更される。

(3.5) キーキャッシュがノットヒットであり、かつ  $KC(S)=1 \cdot KC(TV)=1 \cdot KC(KV)=1 \cdot MM(RT) \neq KC(RT_{xc})$  なる条件が満たされない場合。

#### 【発明の効果】

以上のように、この発明によれば、記憶キーキャッシュをアドレス変換機構のアドレス変換データバッファのエントリと対応すべく情報を付加した構成としたので、安価なハードウェア構成をもつてアドレス変換機構の使用効率を著しく向上させるという効果がある。

#### ● 図面の簡単な説明

第1図は、この発明の一実施例装置のブロック図、第2図は、上記実施例における所定フィールドの説明図、第3図は、従来例装置のブロック図、第4図は、上記従来例における所定フィールドの説明図である。

(1)、(31)はアドレス変換データバッファ(TLB)；(2)、(32)はTLB制御回路；(3)、(33)はTLBアドレス入力セクタ；(4)はセグメントテーブルオリジンレジスタ；(5)はメモリアドレスレジスタ；(6)はアドレスモードフラグ；(7)、(34)、(42)はセクタ；(8)はリアルメモリアドレスレジスタ；(9)は記憶装置；(10)はリアル

この場合は、いま変更されるべきキー情報をもつたTLBエントリが全く存在しないことを示す。したがって、このときには、キーキャッシュ(39)およびTLB(3ノ)のいずれに対しても何の動作もとられず、記憶装置(9)のキーメモリへの変更だけが実行される。

以上説明されたように、この発明の実施例によれば、キー情報変更命令が発生したときに、変更の対象となるページアドレスのキー情報を保有しているTLBエントリだけがページされることになる。なお、この発明の実施例におけるキーキャッシュ(39)の $RT_{xc}$ 、KVおよびKYの各フィールドを用いるだけで、従来例におけるキーキャッシュ(13)の持つ機能を十分にカバーできることは明らかである。

さらに、上記実施例は、中央処理装置に適用されたものとして説明されたが、これに限ることなく、アドレス変換機構を有するものであれば、どのような装置にも適用することが可能であり、同様の効果を奏するものである。

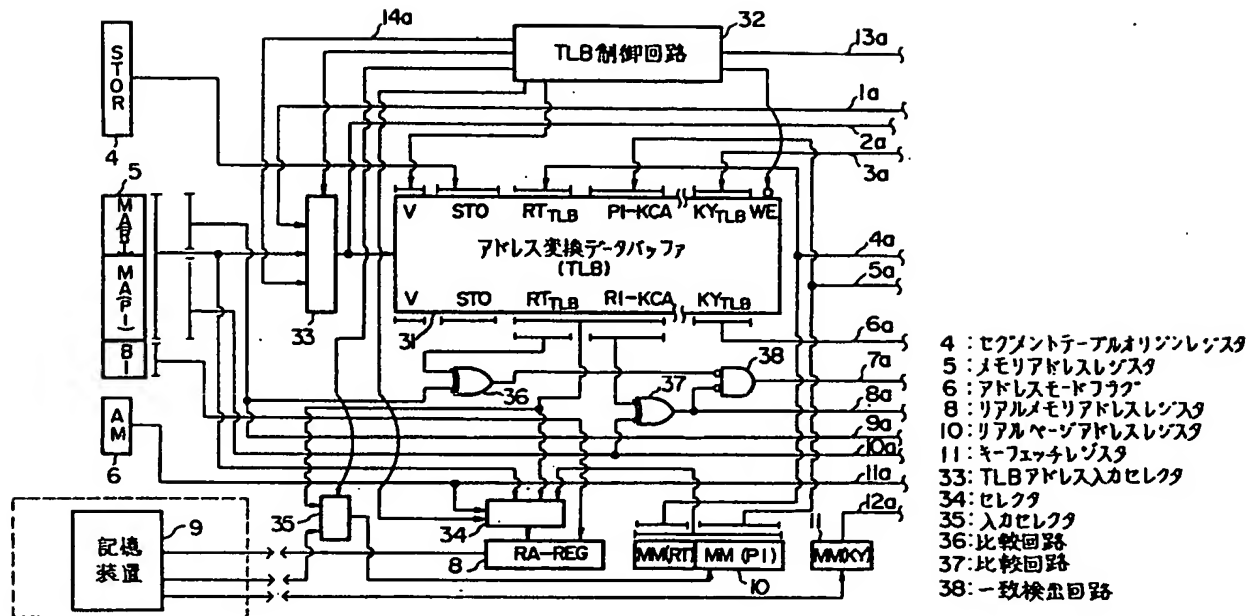
ページアドレスレジスタ；(11)はキーフェッチレジスタ；(12)はキーキャッシュアドレスレジスタ；(13)、(39)はキーキャッシュ；(14)、(40)はキーキャッシュ制御回路；(15)はキー決定セクタ；(16)はプログラムステータスワード(PSW)レジスタ；(17)はアクセスプロテクション検出回路；(18)、(36)、(37)、(44)は比較回路；(19)はキーキャッシュヒット検出回路；(20)、(43)はキーデータソースセクタ；(21)はキーレジスタ；(35)は入力セクタ；(38)は一致検出回路；(41)は入力ソースセクタ；(45)はキーキャッシュヒット検出回路。

なお、各図中、同一符号は同一又は相当部分を示す。

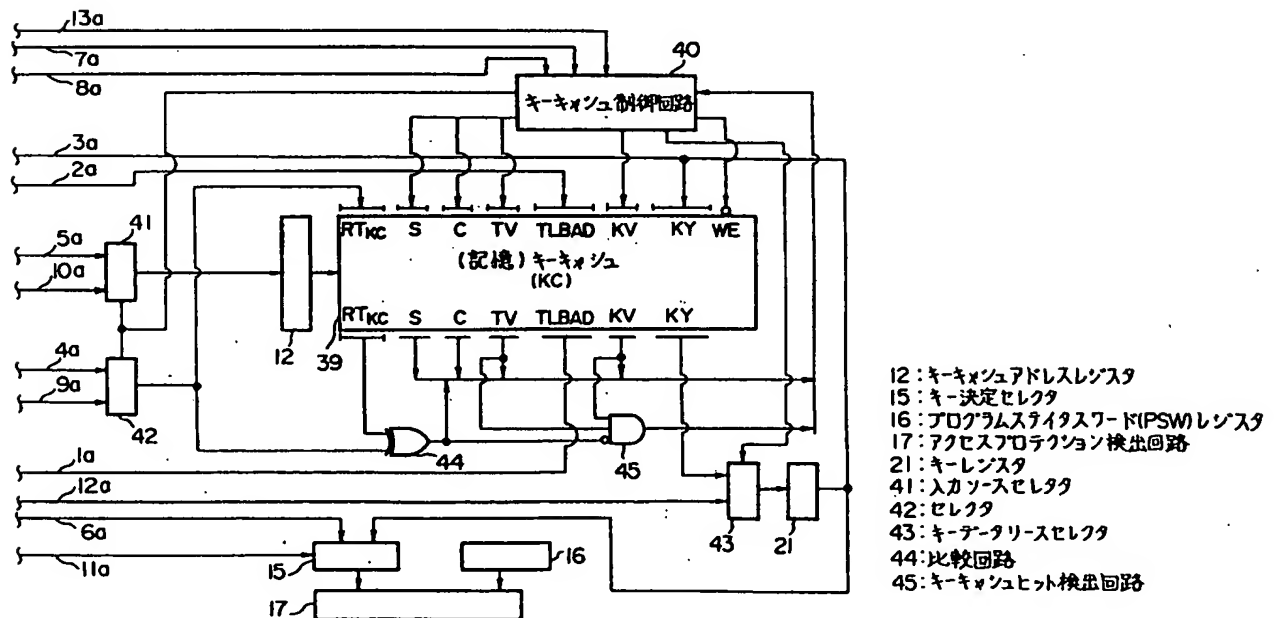
代理人 會 我 道 照



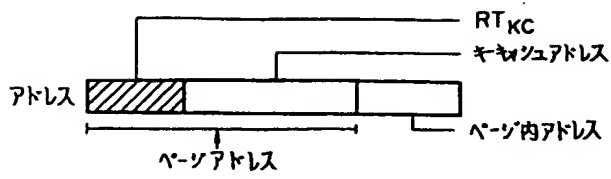
第1図(a)



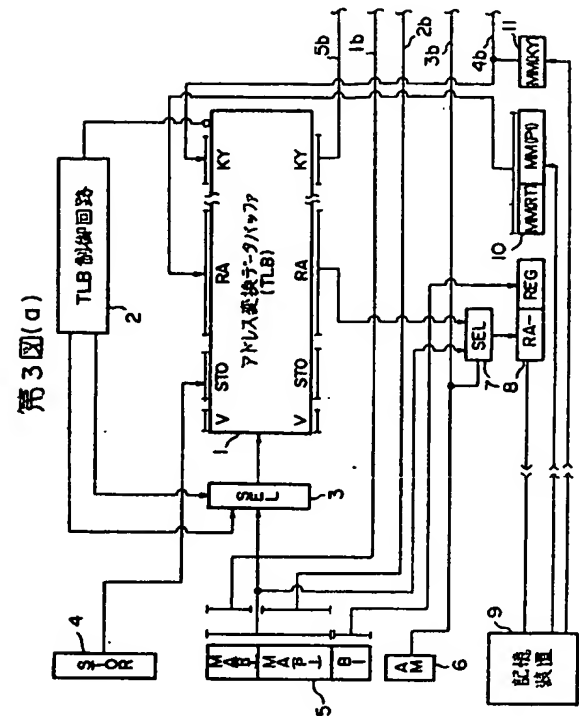
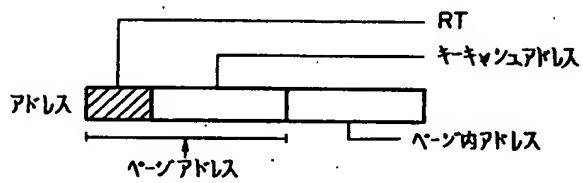
第1図(b)



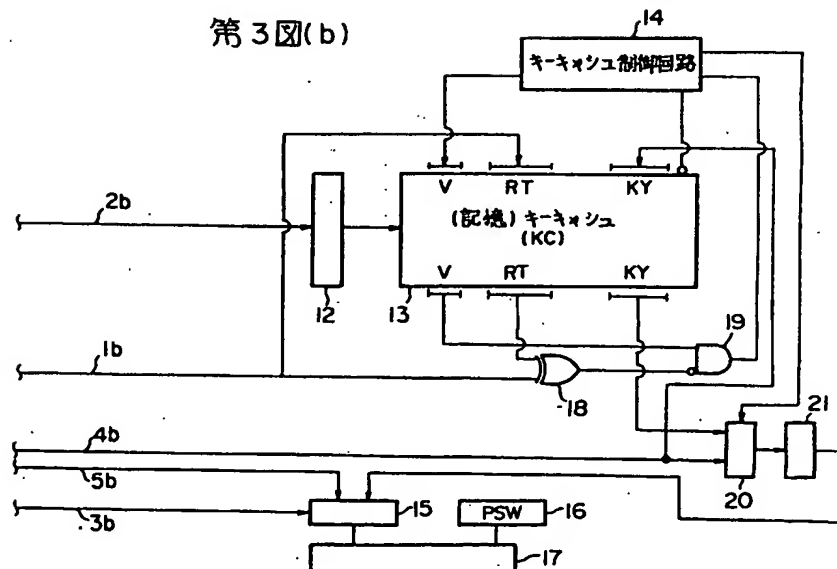
第2図



第4図



第3図(b)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**